افزایش مصون‌سازی نسبت به SEU با رویکرد پخش کامل مدار انتخاب‌گر در FPGA

رضا امیدی[۱]،کریم محمدی[۲]
۱- دانشگاه علم و صنعت ایران (rezaomidi@iust.ac.ir)
۲- دانشگاه علم و صنعت ایران (mohammadi@iust.ac.ir)

چکیده

واژگونی بیت‌های حافظه بر اثر برخورد ذرات محیط تشعشعات، مهم‌ترین منشا ایجاد خطا در افزاره‌های برنامه‌پذیر میدانی بر اساس حافظه استاتیکی می‌باشد. استفاده از افزونگی سه ماجولی یا اجرای افزونگی سه ماجولی در بخش‌های از مدار پیاده‌سازی شده، از جمله راه‌کارهایی است که برای مقاوم‌سازی در این زمینه استفاده می‌شود. در این مقاله بر اساس ایده پخش مدار انتخاب‌گر در افزونگی سه ماجولی رویکرد جدیدی برای مقاوم‌سازی نسبت به پدیده واژگونی بیت‌های حافظه ارائه شده است. محاسبات و شبیه‌سازی‌ها نشان می‌دهند که احتمال رخداد خطا در روش پیشنهادی به مراتب کمتر از روش‌های معمول می‌باشد علاوه بر آن در پاره‌ای از مدارها، فضای لازم برای پیاده‌سازی نیز بهبود می‌یابد تاوان روش ارائه شده افزایش تاخیر (کاهش فرکانس کاری) می‌باشد.

واژه های کلیدی: *SEU، FPGA ، قابلیت اطمینان*

اصطلاحات

SEU (Single Event Upset): واژگونی بیت بر اثر رخداد یکتا
FPGA (Field Programmable Gate Array): افزاره برنامه‌پذیر میدانی
TMR (Triple Modular Redundancy): افزونگی سه ماژولی
STMR (Selective TMR): افزونگی سه ماژولی انتخابی

مقدمه

حدود چهل سال پیش، پس از آن بر اثر تشعشعات فضایی اختلالاتی در قسمت الکترونیکی اولین ماهواره باعث مشکلات جدی در آن گردید، مطالعه بر روی تاثیر تشعشعات بر ادوات نیم‌رسانا شروع شد. . همراه با تحولات عرصه الکترونیک، این مطالعات نیز ادامه داشته است. از ساخت و پرتاب اولین ماهواره‌های مخابراتی چندین دهه می‌گذرد و این ماهواره‌ها هم‌چنان به عنوان یکی از مهم‌ترین سیستم‌های مخابراتی در جهان به شمار می‌روند. هزینه طراحی، ساخت، پرتاب و نگهداری چنین ماهواره‌هایی بسیار بالا بوده و در صورت عدم موفقیت هزینه زیادی به سازنده تحمیل می‌کند این مشکلات سبب شده است تا ارائه تکنیک‌های مقاوم‌سازیِ کم‌هزینه و قابل دسترس- در مقابل طراحی مدارهای مقاوم با روش‌های خاص، و ساخت آنها به صورت سفارشی- اخیراً به صورت گسترده‌ای مورد توجه قرار گرفته است. از سوی دیگر با توجه به گسترش توانایی‌های قطعات تجاری به ویژه افزاره‌های برنامه-پذیر میدانی (FPGA)، امروزه بر پیاده‌سازی مدارهای مورد نظر روی این تراشه‌ها تاکید می‌شود. از جمله کاربردهای این مدارها می‌توان به مواردی مانند سلاح‌های پیشرفته، تجهیزات نیروگاه‌های هسته‌ای، آزمایشگاه‌های خاص در زمینه فیزیک و مهم‌تر از همه صنایع فضایی و فضاپیماها اشاره کرد. هر چند استفاده از قطعات تجاری به دلایل مزایای که دارند از جمله هزینه کمتر، قابل دسترس بودن و قابلیت پیکربندی مجدد، در کاربردهای فضایی در حال گسترش می‌باشد و طی سال‌های اخیر سعی بر پیاده‌سازی مدارها در این افزاره‌ها متمرکز بوده است. اما این افزاره‌ها نسبت به تاثیرات محیط تشعشعات آسیب‌پذیر می‌باشند. به طور کلی اثرات ذرات فضایی به دو گروه قابل تفکیک هستند، دسته اول اثرات گذرا یا دائمی می‌باشند که بلافاصله پس برخورد یون‌های سنگین در مدار مشاهده می‌گردد در این شکل از برخورد، پالس جریانی با دامنه قابل توجه ایجاد می‌شود که منشاء اثرات نامطلوب دیگری است که در افزاره‌های برنامه‌پذیر میدانی غالبا به شکل واژگونی بیت‌های حافظه نمود پیدا می‌کند. در این حالت عامل میکروسکوپیک(برخورد یون)، تاثیر ماکروسکوپیک و آنی دارد به همین دلیل این گروه " اثرات رخداد یکتا " نامیده شده‌اند. تاثیر دیگر تشعشعات تحت عنوان " دوز یونیزه‌کننده کل یا اصطلاحا جمع‌شونده " گروه‌بندی می‌شود این تاثیر اثری فرسایشی می‌باشد، بدین صورت که با برخورد ذراتی مانند الکترون‌ها و پروتون‌های پرانرژی به مدار الکترونیکی، اثری آنی در مدار مشاهده نمی‌شود، ولی این برخوردها نقایص پایداری در اجزاء قطعات الکترونیکی، به ویژه در اکسید زیر گیت ایجاد می‌کنند که با جمع شدن اثرات این نقایص به مرور زمان ترانزیستورها و در نتیجه مدار به طور کامل کارایی خود را از دست می‌دهد. تکنولوژی تراشه، محافظ استفاده شده، و محیط تشعشعات بر مدت زمان مذکور تاثیرات بسزایی دارند؛ به طوری‌که تکنولوژی‌های مختلف باعث مقاومت‌های متفاوتی در برابر دوز یونیزه‌کننده گردیده و جنس و ضخامت محافظ و تراکم ذرات یونیزه‌کننده محیط مدار، بر میزان دوز انتقال یافته به مدار اثرات مستقیمی دارند[۱-۲].

روش‌های کاهش تاثیرات آنی محیط تشعشعات برای مدارهای افزاره‌های برنامه‌پذیر میدانی، به دو گروه قابل تفکیک می‌باشد دسته اول تکنیک‌هایی هستند که به صورت درون ساخت توسط تولید کننده اعمال می شود [۳-۵] و دسته دوم تکنیک‌های سفت افزار هستند که توسط کاربر نهایی اجرا می-شود[۶-۷]. بازپیکربندی مجدد حافظه استاتیکی و یا استفاده از روش‌های ماسک خطا از راه‌کارهایی سفت‌افزار است که غالبا پایه و اساس ارائه رویکردهای جدید می‌باشند. اما در کنار کاهش احتمال رخداد خطا، حفظ پارامترهای مطلوب مدار از نظر فضای لازم برای پیاده‌سازی، فرکانس کاری (سرعت)، توان مصرفی و غیره در روش ارائه شده باید مد نظر قرار گیرد. در ادامه این مقاله می‌خوانید: افزونگی سه ماژولی و مدار انتخاب‌گر ارائه شده بر

اساس ساختار داخلی FPGA، الگوریتم محاسبه قابلیت اطمینان، نتایج شبیه‌سازی در مدارهای محک و جمع‌بندی.

افزونگی سه ماجولی و مدار انتخاب‌گر

افزونگی سه ماژولی یکی از روش‌های مهم برای مقاوم‌سازی می‌باشد که به طور گسترده مورد استفاده قرار می‌گیرد. در این روش یک ماجول سه بار تکرار شده و در خروجی آن مدار انتخاب‌گر قرار داده می‌شود تا خروجی اکثریت را به عنوان خروجی مدار به خود بگیرد. ساختار معمول به همراه جدول درستی مدار انتخاب‌گر در شکل ۱ آمده است. البته اجرای افزونگی سه ماجولی برای هر یک از بخش‌های ورودی‌ها/خروجی‌ها، مدارهای ترکیبی و ماشین حالت ساختارهای خاصی دارد- برای مطالعات بیشتر به مرجع [۸] مراجعه شود-. علاوه بر آن داخل یک ماجول متشکل از گیت‌ها و مسیرهای سیم‌بندی مختلفی می‌باشد که در حالت ساده، می‌توان به صورت شبکه ای توری یا گرافی بین ورودی تا خروجی در نظر گرفت در روش‌های جدید سعی می‌شود تا با شناسانی گیت و یا مسیر که بیشترین تاثیر را در خروجی دارد روش افزونگی سه ماجولی را در مورد آن بخش انجام شود. به این سبک از مقاوم-سازی افزونگی سه ماجولی جزئی یا انتخابی گفته می‌شود (شکل ۲) که چندین روش برای شناسایی آسیب‌پذیرترین مسیر و یا گیت ارائه شده است [۸][۶]. هدف ما در این مقاله پخش مدار انتخاب‌گر در تمام مسیرها و یا گره-ها می‌باشد تاثیر پخش کامل مدار انتخاب‌گر از نظر قابلیت اطمینان، فرکانس و فضای لازم برای پیاده‌سازی در مدارهای محک ارزیابی خواهد شد. در ادامه با بررسی ساختار داخلی افزاره برنامه‌پذیر ساختاری برای مدار انتخاب‌گر ارائه خواهد شد که شرایط را مساعد می‌کند.

در افزونگی سه ماژولی، مدار انتخاب‌گر از مهم‌ترین بخش‌ها می‌باشد ساختار اولیه در [۸] آمده است غالب این مدارهای اولیه در یک جدول ارجاع پیاده-سازی می‌شوند. اما دست‌یابی به مدار انتخاب‌گر با درجه اطمینان بالا، نیازمند فضای بیشتر و توان مصرفی بیشتر بوده و موجب از دست دادن فرکانس می‌شود. به همین جهت برای مدار انتخاب‌گر غالبا از ساختارهای مذکور استفاده می‌شود. اساس ساختار مدار انتخاب‌گر ارائه شده در این مقاله، استفاده از مالتی پلکسر می‌باشد که در شکل ۳ نشان داده شده است. این ساختار بر اساس زنجیره رقم نقلی در FPGA ارائه شده است و بدون اختصاص LUT اضافی و صرفا با استفاده بهینه از منابع FPGA قابل پیاده‌سازی است.

ارائه روش محاسباتی و شیوه ارزیابی

مدار پس از نگاشت بر افزاره برنامه‌پذیر، در جداول ارجاع- در مدارهای ترتیبی علاوه بر جداول ارجاع، فلیپ فلاپ‌ها- نگاشت می‌شود. در روش محاسباتی ارائه شده برای هر جدول ارجاع چند پارامتر اختصاص داده شده است. همچنین روابطی برای محاسبه خرابی (مشاهده خطا در خروجی) برای روش افزونگی سه ماجولی معمولی و روش پخش کامل مدار انتخاب‌گر ارائه شده است. نتایج روش محاسباتی با نتایج الگوریتم تزریق خطا- برای اطمینان از صحت روش محاسباتی- مقایسه شده است. پارامترهای لازم به طور مختصر عبارتند از:

- **احتمال برخورد ذره:** احتمال برخورد ذره نشان دهنده احتمال برخورد ذره محیط تشعشعات به یک جدول ارجاع می‌باشد که این احتمال از نسبت تعداد بیت‌های یک جدول ارجاع، به کل بیت‌های مدار حاصل می‌شود.
- **فاکتور انباشتگی خروجی**: این فاکتور تعیین‌کننده احتمال یک و یا صفر بودن خروجی جدول ارجاع می‌باشد و به مقدار قرار داده شده در جدول ارجاع و انباشتگی روی هر یک از ورودی‌ها بستگی دارد. الگوریتم محاسبه این فاکتور در مقاله کامل ارائه شده است.
- **فاکتور انتقال از ورودی به خروجی**: این پارامتر بیانگر احتمال تغییر خروجی در صورت تغییر ورودی خاص می‌باشد به ازای هر یک از ورودی‌های جدول ارجاع تعریف می‌شود و به داده ذخیره شده در جدول و انباشتگی سایر ورودی‌ها بستگی دارد. از این فاکتور برای محاسبه فاکتور مشاهده اثر سایر جداول ارجاع در خروجی استفاده می‌شود. الگوریتم محاسبه این فاکتور در مقاله کامل ارائه شده است.
- **فاکتور مشاهده اثر یک جدول ارجاع در خروجی مدار**: پس ار برخورد کارا ممکن است بیت معیوب در سایر جداول ارجاع، در مسیر بیت معیوب تا خروجی به اصطلاح ماسک شود و به خروجی انتقال نیابد. فاکتور مشاهده اثر یک جدول ارجاع در خروجی مدار: این فاکتور برای جداولی که خروجی آنها خروجی مستقیم مدار می‌باشد یک است یعنی این مقادیر ماسک نمی‌شود و در جداول داخلی این فاکتور از حاصل‌ضرب فاکتورهای انتقال سایر جداول ارجاع، در مسیر بیت معیوب تا خروجی تعیین می‌شود. الگوریتم محاسبه این فاکتور در مقاله کامل ارائه شده است.
- **سایر پارامترها**: فاکتور تحریک در ورودی خاص و یا رخداد در بیت‌های هم مرتبه از پارامترهای مورد استفاده می‌باشند که وابسته به اندازه جدول ارجاع هستند نحوه ورود این فاکتورها در محاسبات در ادامه بحث خواهد شد.

احتمال خرابی (خطا در خروجی) پس از برخورد اول: برخورد اول زمانی می‌تواند منجر به خرابی شود که در مدار انتخاب‌گر رخ دهد. و مقدار آن از رابطه (۱) تعیین می‌شود ضریب $1/S_V$ برای مد نظر قرار دادن ورودی خاص جهت فعال‌سازی بیت معیوب در رابطه وارد شده است. و با فرض مصون بودن مدار انتخاب‌گر احتمال خرابی در برخورد اول صفر است:

$$P_{f1} = \frac{S_V}{S_{TMR}} \times \frac{1}{S_V} \quad (۱)$$

در رابطه بالا، S_V تعداد بیت‌های مدار انتخاب‌گر و S_{TMR} تعداد کل بیت‌های مدار افزونگی سه ماجولی است.

احتمال خرابی (خطا در خروجی) پس از برخورد دوم: در این شرایط چهار حالت منجر به خرابی خروجی می‌شود و از مجموع این چهار حالت مطلوب حاصل می‌شود:

$$\frac{S_V \times (S_V - 1)}{(S_{TMR})^2} \times \frac{2}{S_V} \quad (۲\text{–الف})$$

$$\frac{S_V \times (S_{TMR} - S_V)}{(S_{TMR})^2} \times \frac{1}{S_V} \quad (۲\text{–ب و ج})$$

$$P_{TMR} = \frac{2}{3} \times (P_{MF})^2 (P_M)^2 = \frac{2}{3} \times (P_M)^2 \times (\sum_i P_{Occ}(i) \times \frac{1}{S(i)} \times TF(i))^2 \quad (۲\text{–د})$$

برای روش افزونگی سه ماجولی با انتخاب‌گر مصون از خطا (FFV-TMR) رابطه ارائه شده عبارت است از:

$$P_{FFV-TMR} = \frac{2}{3}\times(P_{MF})^2 = \frac{2}{3}\times(\frac{1}{S_M})^2\times(\sum_i TF_{(i)})^2$$

$$P_{MF} = \sum_i (P_{Occ(i)}\times\frac{1}{S_{(i)}}\times TF_{(i)}) \qquad (۳)$$

$$\xrightarrow{P_{Occ(i)}=\frac{S_i}{S_M}} P_{MF} = \sum_i \frac{1}{S_M}\times TF_{(i)} = \frac{1}{S_M}\times\sum_i TF_{(i)}$$

برای روش افزونگی سه ماجولی با پخش کامل انتخاب‌گر رابطه ارائه شده عبارت است از:

$$P_{DV-TMR} = \sum_i (\frac{2}{3}\times(P_{Occ(i)}\times\frac{1}{S_{(i)}})^2\times TF_{(i)}) \qquad (۴)$$

$$\xrightarrow{P_{Occ(i)}=\frac{S_i}{S_M}} P_{DV-TMR} = \frac{2}{3}\times(\frac{1}{S_M})^2\times\sum_i (TF_{(i)})$$

به طوری که P_{MF} احتمال خرابی هر یک از ماجول‌ها، P_M احتمال رخداد خطا در سه ماجول، S_{TMR} تعداد کل بیت‌های افزونگی سه ماجولی، S_M تعداد بیت-های هر یک از ماجول‌ها، $S(i)$ تعداد بیت‌های جدول ارجاع i-ام، $TF(i)$ فاکتور انتقال جدول ارجاع i-ام به خروجی مدار و $P_{Occ}(i)$ احتمال رخداد خطا در جدول ارجاع i-ام است.

الگوریتم تزریق خطا

برای ارزیابی و اطمینان از مقادیر حاصل از محاسبات، برای هر یک از نمونه-های ارائه شده برنامه‌ای جهت تزریق خطا در محیط نرم‌افزار MATLAB نوشته شده است در این الگوریتم پس از تعریف و مقداردهی مقادیر جداول ارجاع و همچنین تعیین سیم‌بندی مدار، با اعمال یک بردار تصادفی در ورودی، خروجی‌های اصلی (حالت بدون خطا) محاسبه و ذخیره می‌شود. سپس دو خطا (معکوس کردن بیت‌ها) در مقادیر جداول ارجاع، به صورت تصادفی اعمال می‌گردد؛ در این شرایط خروجی پیکربندی افزونگی سه ماجولی و پیکربندی پیشنهادی تعیین و با مقادیر خروجی‌های اصلی مقایسه می‌گردد. در صورت مغایرت، شمارنده مربوطه افزایش پیدا می‌کند. این حلقه به دفعات لازم (یک تا ده میلیون بار) تکرار می‌شود تا دقت لازم حاصل شود.

نمونه‌های از مدارهای مقاوم سازی شده

برای ارزیابی ایده پخش کامل مدار انتخاب‌گر، مدارهای نمونه (SC) و مدارهای محک استاندارد ISCAS-85 مورد استفاده قرار گرفته است [۹] مبنای انتخاب این مدارها تعداد طبقات می‌باشد .

نتایج شبیه‌سازی و جمع‌بندی

در این مقاله با ارائه مدار انتخاب‌گر بر اساس مالتی‌پلکسر، ایده پخش مدار انتخاب‌گر به بخش‌های داخلی مدار اجرا شد. محاسبات و نتایج تزریق خطا، نشان دهنده کاهش چشم‌گیر خرابی در روش جدید می-باشد. البته این روش باعث افزایش تاخیر می‌شود. که مقدار آن به ازای هر طبقه حدود ۰/۷ نانوثانیه می‌باشد.

جدول ۱: نتایج پیاده‌سازی چند مدار به روش‌های افزونگی سه ماجولی معمولی (TMR)، افزونگی سه ماجولی با انتخاب‌گر مصون از خطا (FFV-TMR) و افزونگی سه ماجولی با پخش کامل انتخاب‌گر مالتی‌پلکسری(DV-TMR)

مدار	خرابی در خطای اول*		خرابی در خطای دوم*			میزان بهبود روش جدید نسبت به TMR و FFTMR	
	TMR	DVTMR	TMR[1]	FFVTMR[2]	DVTMR[3]	TMR%	FFVTMR%
SC1	1712	0	3454	36.52	25.71	99.25	29.60
SC2	1712	0	3502	83.47	38.85	98.89	53.45
SC3	1288	0	2639	67.16	26.13	99.00	61.09
SC4	2717	0	15075	367.76	130.48	99.13	64.52
74185	4629	0	9307	67.65	55.85	99.39	17.44
74182	8446	0	16991	147.68	118.15	99.30	19.99
74181	4132	0	8404	154.79	29.49	99.64	80.94

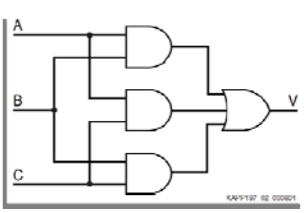
[1] Triple Module Redundancy [2] Fault Free Voter TMR [3] Distributed Voter TMR

*تزریق خطا در یک میلیون نرمالیزه شده است.

جدول ۲: میزان افزایش تاخیر و کاهش سطح مصرفی در روش پیشنهادی

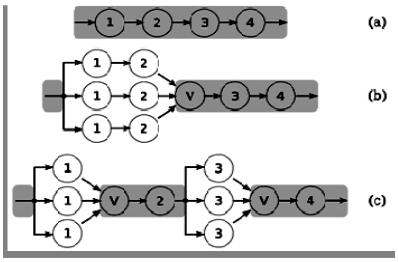
مدار	فضای لازم بر حسب LUT			حداکثر تاخیر بر حسب ns		
	TMR	DV-TMR	درصد بهبود	TMR	DV-TMR	جریمه به ازای هر طبقه
SC1	10	9	10.00%	5.4	7.4	0.66
SC2	10	9	10.00%	5.3	6.1	0.4
SC3	13	12	7.69%	5.35	7.3	0.65
SC4	13	12	7.96%	5.42	7.41	0.66
74185	21	18	14.28%	5.2	6.1	0.45
74182	26	21	19.23%	5.1	5.9	0.4
74181	65	57	12.30%	5.6	8.4	0.7

6. A. K. Morgan, and B. D. McMurtrey, *"A comparison of TMR with alternative fault-tolerant design techniques for FPGAs"*, IEEE Transactions on Nuclear Science,, vol. 54, no. 6, pp. 2065–2072, Dec. 2007.
7. A. S. Rezgui, and B. J.Wang, *"New methodologies for SET characterization and mitigation in flash-based FPGAs"*, IEEE Transactions on Nuclear Science, vol. 54, no. 6, pp. 2512–2524, Dec. 2007.
8. Carl Carmichael, *"Triple Module Redundancy Design Techniques for VirtexFPGAs" Application Note: Virtex Series*, Available on: www.xilinx.com, July 6, 2006.
9.University of Michigan. [Online], Available: http://www.eecs.umich.edu/~jhayes/iscas.restore/benchmark.htm

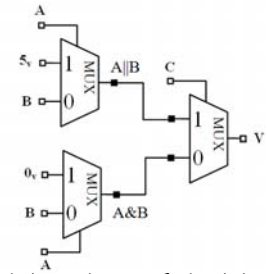


A	B	C	V
0	0	0	**0**
0	0	1	**0**
0	1	0	**0**
0	1	1	**1**
1	0	0	**0**
1	0	1	**1**
1	1	0	**1**
1	1	1	**1**

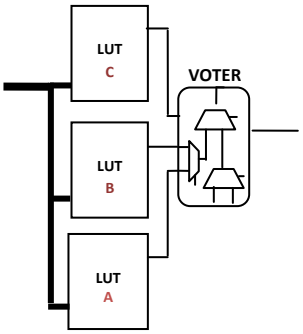
شکل ۱: ساختار و جدول درستی مدار انتخاب‌گر معمول [۸]



شکل ۲: ساختار مدار به صورت گراف و اجرای STMR در بخش‌های حساس



شکل ۳: ساختار مدار انتخاب‌گر پیشنهادی بر اساس مالتی‌پلکسر



شکل ۴: تعریف سمبل‌های جدید بر اساس افزونگی سه ماجولی

مراجع

1. A. Raoul Velazco and B. Pascal Fouillat, "*Radiation Effects on Embedded Systems*", Springer Netherlands, Page(s): 1-9, 2007
2. A. Hughes, H.L and B. Benedetto, J.M, *"Radiation Effects and Hardening of MOS Technology: Devices and Circuits*", IEEE Trans. Nuclear and Science, Vol. 50, Issue 3, Page(s): 500 – 521, June 2003.
3. A. S. Ramaswamy and B. L. Rockett, "Reconfigurable, High Density, High Speed, Low Power, Radiation-Hardened FPGA Technology", Proc. Military and Aerospace Programmable Logic Devices Conf., Sep. 2008.
4. A. J. Fabula, *"Current status of the SIRF program"*, Proc. Military and Aerospace Programmable Logic Devices Conf., Sep. 2008.
5. A. L. Rockett and B. D. Patel, "*Radiation-hardened FPGA technology for space applications*", Proc. Military and Aerospace Programmable Logic Devices (MAPLD) Conf., Sep. 2008.