



هماهنگی عملکرد SVC و ULTC بکمک منطق فازی

احد کاظمی^۱ محمد فرخی^۱ محسن نیاستی^{۱ و ۲}

۱- دانشکده مهندسی برق _ دانشگاه علم و صنعت ایران

۲- دانشکده مهندسی _ دانشگاه سمنان

چکیده

استفاده از جبران‌سازهای استاتیکی توان راکتیو به منظور بهبود کیفیت توان شبکه های قدرت، یکی از رایج ترین روش ها در کنار سایر تجهیزات جبران‌ساز توان راکتیو مانند بانک های سلفی-خازنی، ULTC، TCSC، کندانسورهای سنکرون و غیره می‌باشد. مشکل عمده این طرح های ترکیبی، هماهنگی بین عملکرد SVC با سایر جبران‌سازها می‌باشد بطوریکه ایجاد این هماهنگی یکی از مسائل مهم برای عملکرد مطمئن و اقتصادی سیستم است. وجود مسائل غیرخطی مانند تاخیر زمانی و باند مرده در سیستم های کنترل این جبران‌سازها، هماهنگی بین آنها را مشکل تر و پیچیده تر می‌کند. در این مقاله روش استفاده از منطق فازی برای کنترل هماهنگی بین عملکرد SVC و ULTC معرفی و پیشنهاد شده است. نتایج حاصل از شبیه سازی های انجام شده در این مقاله بیانگر بهبود کیفیت توان (ولتاژ) شبکه قدرت و افزایش بازه کاری SVC می باشد.

کلمات کلیدی: SVC، ULTC، کیفیت توان، منطق فازی

۱- مقدمه

جبران‌سازهای استاتیکی توان راکتیو (SVC)^۱ قادر به میرا کردن نوسانات توان، ولتاژ سیستم و حفظ ولتاژ شبکه می باشند. همچنین بخاطر دارا بودن انعطاف پذیری خوب در تنظیم پارامترها، از آنها برای بهبود پایداری گذرا و بهبود راندمان سیستم قدرت نیز استفاده می‌گردد. اما SVC در مواقع ضروری (بخاطر کوچک بودن بازه

کاریش) به تنهایی قادر به کنترل سیستم قدرت نمی‌باشد. نتایج حاصل از مطالعات و شبیه سازی‌ها نشان می دهند که ترکیب جبران‌ساز SVC با سایر جبران‌سازهای توان راکتیو، می‌تواند پایداری ولتاژ سیستم و بازه کاری SVC را بهبود بخشد. بنابراین در طرح های جدید سیستم های جبران‌ساز توان راکتیو، ترکیبی از چند جبران‌ساز مثلا SVC با جبران‌سازهای دیگر مانند بانک های سلفی/خازنی، تپ چنجرهای قابل قطع زیر بار (ULTC)^۲ و غیره استفاده می‌شود [۱،۲،۳].

مشکل عمده این طرح های ترکیبی، هماهنگی بین عملکرد SVC با سایر جبران‌سازها می‌باشد. بطوریکه هماهنگی بین تجهیزات جبران کننده سریع و پیوسته توان راکتیو و سایر تجهیزات جبران‌ساز یکی از مسائل مهم برای عملکرد مطمئن و اقتصادی سیستم می‌باشد. وجود مسائل غیرخطی مانند تاخیر زمانی^۳ و باند مرده^۴ در سیستم های کنترل این جبران‌سازها، هماهنگی بین آنها را مشکل تر و پیچیده تر می‌کند [۴،۳،۲،۱].

نکته قابل ذکر دیگر اینست که اگر چه هر دو تجهیز (SVC و ULTC) دارای اهداف و کاربردهای مشابه (مثل تنظیم ولتاژ شین) هستند اما دارای ضریب زمانی (زمان عملکرد) کاملاً متفاوتی هستند. SCV دارای ضریب زمانی در حدود چندین میلی ثانیه است اما ULTC دارای ضریب زمانی در حدود چندین ثانیه می‌باشد. از آنجا که SVC دارای مشخصه دینامیکی سریعی می‌باشد لذا به تغییرات بار سریع تر از ULTC پاسخ می‌دهد. اگر ظرفیت SVC به اندازه‌ای باشد که برای جواب دادن به تغییرات ولتاژ کافی باشد، در آن صورت

2- Under Load Tap Changer
3- Time Delay
4- Dead Band

1- Static Var Compensators

$$g(e, \tau) = \begin{cases} \tau + 1 & e > \varepsilon \& \tau \geq 0 \\ \tau - 1 & e < -\varepsilon \& \tau \leq 0 \\ 0 & \text{موارد دیگر} \end{cases} \quad (4)$$

$$e = V - V_{ref} \quad (5)$$

که در آن n موقعیت تپ ULTC ترانسفورماتور، d اندازه گام تپ چنجر، e خطای ولتاژ، T_d تاخیر زمانی، V ولتاژ کنترل شده، ε مقدار آستانه باند مرده، τ شمارنده و V_{ref} ولتاژ مرجع سیستم می باشد. معادلات ۱ تا ۴ مشخص می کنند که هنگامی که ولتاژ در مدت تاخیر زمانی معین شده (T_d) از محدوده باند مرده مشخص شده خارج می گردد، آنگاه موقعیت تپ به اندازه گام تپ چنجر تغییر می کند.

۲-۲- مدل SVC

مشخصات SVC توسط گروه سیگره تعیین شده است و مدلسازی آن بوسیله گروه مخصوص کنترل پایداری سیستم انجمن IEEE ارائه شده است. مشخصات دینامیکی SVC در مقایسه با ULTC چنان سریع می باشد که می توان از آن در مدلسازی ریاضی صرف نظر کرد. مدل SVC بصورت زیر می باشد:

- در محدوده کنترل:

$$(I_{min} < I_{SVC} < I_{max} \& V > V_{min})$$

$$V = V_{ref} - X_{SL} I_{SVC} \quad (6)$$

- در محدوده خازنی ($V < V_{min}$):

$$B = B_{max} \quad (7)$$

- در محدوده سلفی ($I > I_{max}$):

$$B = B_{min} \quad (8)$$

که در آن، V_{ref} دامنه ولتاژ مرجع SVC، X_{SL} امپدانس مشخصه سیستم کنترل و I_{SVC} جریان جبران سازی SVC است. همان طوری که در روابط ۶ تا ۸ نشان داده شده است، در محدوده کنترل، SVC شبیه یک منبع ولتاژ با یک راکتانس داخلی عمل کرده و در خارج این بازه، همانند یک سلف یا خازن ثابت عمل می کند [۵،۲].

۳- هماهنگی بین SVC و ULTC

۳-۱- سیستم معمولی کنترل و نیاز به هماهنگی

شکل ۱ ساختاری از سیستم کنترل متداول SVC و ULTC را که در پست شبکه توزیع نصب شده است نشان می دهد. سیستم های کنترل هر تجهیز مجزا بوده و هیچ ارتباطی با یکدیگر ندارند. در نتیجه این دو سیستم نمیتوانند بطور همزمان و در ارتباط با یکدیگر در کنترل

ULTC فقط وقتی عمل می کند که ولتاژ بار از مقدار ولتاژ مرجع از قبل تعیین شده کمتر شود. همچنین ممکن است که تنظیم ولتاژ اولیه ترانسفورماتور بوسیله SVC باعث کند شدن تغییرات تپ ULTC گردد. بعنوان یک نتیجه گیری کلی می توان گفت که SVC نمی تواند دارای بازه مناسب برای کنترل سیستم در مواقع ضروری و اضطراری باشد. از اختلاف بین زمان عملکرد SVC و ULTC می توان برای بهبود کیفیت پروفیل ولتاژ در شین توزیع و حفظ و بهبود بازه کاری SVC استفاده کرد [۱،۲].

در این مقاله از روش منطبق سازی برای کنترل هماهنگی بین SVC و ULTC استفاده شده است. روش های متداول برای هماهنگی می توانند باعث از دست رفتن و کاهش بازه کاری SVC در بعضی شرایط کاری شوند. بنابراین حفظ بازه کاری در مواقع اضطراری و ویژه، مهم و با اهمیت است. در سیستم کنترل هماهنگی پیشنهادی در مرجع [۱]، جبران ساز SVC مقدار ولتاژ شین را در محدوده از قبل مشخص شده ای کنترل کرده و تپ چنجر قابل قطع زیر بار مقدار ولتاژ شین را در بازه مورد نظر تنظیم می کند. به منظور حفظ بازه کاری SVC، تاخیر زمانی ULTC بطور هماهنگ و منطبق با شرایط کاری SVC تغییر می کند.

۲- مدلسازی سیستم

۲-۱- مدل ULTC

بلوک دیاگرام سیستم کنترل اتوماتیک متداول ULTC در مرجع [۱] نشان داده شده است. در یک ترانسفورماتور دارای تپ چنجر، ساختار تغییر دهنده تپ و واحد موتور محرک یک مکانیسم گام به گام بوده و عملکرد آن می تواند بصورت یک المان با تاخیر زمانی ثابت (کمتر از ۱۰ ثانیه) بیان شود. عنصر اندازه گیری VAR یک رله با باند مرده قابل تنظیم (۶٪ - ۱۶٪) می باشد. به منظور کاهش اثر گذرای تغییرات ولتاژ و پرهیز از تغییرات غیر ضروری تپ چنجر، از یک عنصر تاخیر زمانی قابل تنظیم (۱۰ تا ۲۰ ثانیه) استفاده شده است [۱،۲،۳].

در ساختار کلی سیستم کنترل ULTC، نسبت تپ به منظور تنظیم ولتاژ ثانویه با تاخیر زمانی و باند مرده معلوم، تغییر می کند. معادله گسسته سیستم کنترل ULTC بصورت زیر می باشد:

$$n(t+1) = n(t) - d \cdot f(e(t), \tau(t)) \quad (1)$$

$$\tau(t+1) = g(e(t), \tau(t)) \quad (2)$$

$$f(e, \tau) = \begin{cases} 1 & e > \varepsilon \& \tau > T_d \\ -1 & e < -\varepsilon \& \tau < -T_d \\ 0 & \text{موارد دیگر} \end{cases} \quad (3)$$

$$I_{SVC} = \frac{Q}{V_2} + \frac{n^2 V_2}{X} - \sqrt{\left(\frac{nE}{X}\right)^2 - \left(\frac{P}{V_2}\right)^2} \quad (10)$$

با فرض ثابت بودن V_2 ، از رابطه ۱۰ می‌توان دریافت که اگر بار (P) افزایش یابد مقدار جریان SVC (I_{SVC}) نیز افزایش یافته و موقعیت تپ (n) کاهش می‌یابد تا به نقطه پایدار جدید برسد [۳،۲].

پاسخ SVC خیلی سریع‌تر از ULTC بوده و هنگامی که SVC متداول ولتاژ طرف اولیه ترانسفورماتور را تنظیم می‌کند، تا زمانی که ولتاژ طرف بار به پایین‌تر از ولتاژ مرجع نرسد، ULTC نمی‌تواند عمل کند. این امر باعث می‌شود تا مصرف‌کننده برای مدت کوتاهی اضافه ولتاژ یا کاهش ولتاژ را تجربه کند. علاوه بر این، بازه کاری SVC به اندازه‌ای کاهش یافته که دیگر به تنهایی قادر به جبران ولتاژ نیست. بنابراین اگر جریان جبران‌سازی SVC از مقدار از پیش تعیین شده افزایش یابد و به محدوده مرز نزدیک شود آنگاه افزایش سرعت عملکرد ULTC می‌تواند مفید واقع گردد. تغییرات آهسته در ولتاژ طرف اولیه پست توزیع، اثر قابل ملاحظه‌ای بر سیستم انتقال داخلی ندارد و می‌تواند برای SVC بمنظور تنظیم ولتاژ طرف بار مفیدتر باشد. باید در نظر داشت که هدف اولیه شبکه توزیع، تغذیه با کیفیت بالای مصرف‌کننده طرف بار است.

۳-۳- روش پیشنهادی اول برای هماهنگی SVC و ULTC

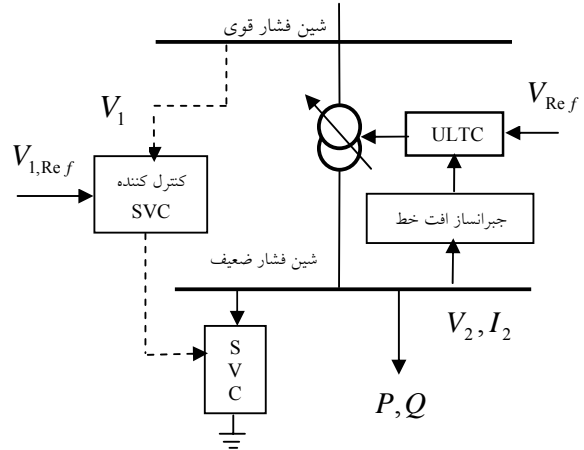
بر اساس مطالب مذکور، سیستم کنترل هماهنگی بین SVC و ULTC ذکر شده در مرجع [۱]، در شکل ۳ نشان داده شده است. اطلاعات SVC برای تنظیم همزمان عنصر با تاخیر زمانی مطابق وضعیت SVC به ULTC منتقل می‌گردد. این اطلاعات شامل مقدار جهت تغییر سوسپتانس SVC یا بطور معادل جریان جبران‌سازی می‌باشد. معادلات حالت برای سیستم ارائه شده همان معادلات ۱ تا ۵ می‌باشد با این تفاوت که معادله ۵ بصورت زیر اصلاح می‌گردد:

$$e = B - k(n - n_0) \quad (11)$$

مقادیر n_0 و k باید بوسیله طراح مشخص شود. روند محاسبه این پارامترها در مرجع [۱] آمده است.

سیستم مذکور بطور هماهنگ تاخیر زمانی ULTC را تغییر می‌دهد تا دوره کاری و دفعات تغییرات تپ را کاهش داده و همزمان با آن بازه کاری آنرا افزایش دهد. وقتی سوسپتانس SVC کاملاً به مقدار میانی خودش نزدیک می‌شود یا از محدوده مرزها به سمت مقدار میانی دور می‌شود، موقعیت تپ می‌تواند بدون از دست دادن بازه کاری، کم شود. هنگامی که مقدار سوسپتانس به مرزهای خود نزدیک می‌شود، برای حفظ بازه کاری باید تاخیر زمانی کاهش یابد. این الگوریتم بصورت گرافیکی در شکل ۴ نشان داده شده است.

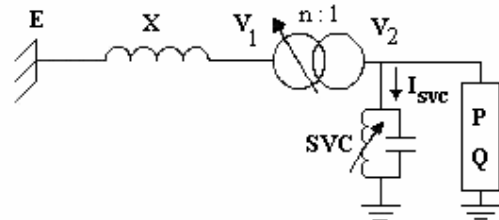
ولتاژ همکاری کنند. لذا ممکن است عملکرد SVC به منظور خنثی کردن تغییرات ولتاژ، مانع تغییرات تپ ULTC برای همان منظور شود. بنابراین برای حفظ بازه کاری SVC در مواقع ضروری، این دو سیستم باید به شکل قابل قبولی در کنترل ولتاژ مشارکت کنند.



شکل (۱) - سیستم کنترل ولتاژ متداول

۳-۲- ارتباط بین موقعیت تپ ULTC و جریان جبران‌سازی SVC

معمولاً SVC مطابق شکل ۲ در طرف ثانویه شین نصب می‌گردد در این صورت ارتباط بین جریان جبران‌سازی SVC و موقعیت تپ ULTC را می‌توان بدست آورد [۲،۳].



شکل (۲) - مدل سیستم قدرت با جبران‌ساز SVC

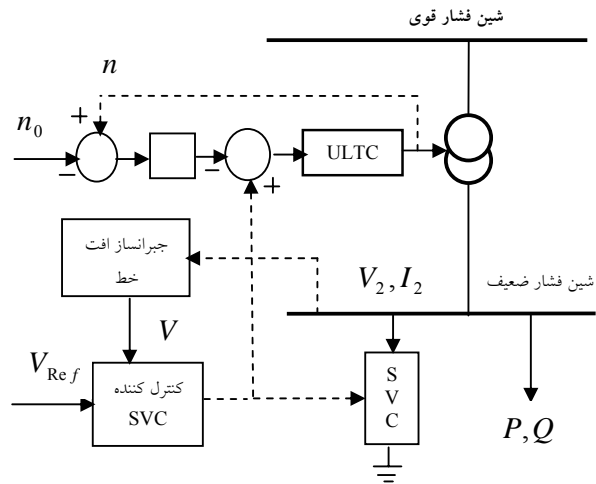
با استفاده از قانون آمپری گره برای شین SVC، رابطه زیر بدست می‌آید. زاویه فاز V_2 بعنوان زاویه مرجع انتخاب شده است:

$$\frac{\frac{E}{n}(\cos \delta + j \sin \delta) - V_2}{j \frac{X}{n^2}} = \frac{P - jQ}{V_2} + jI_{SVC} \quad (9)$$

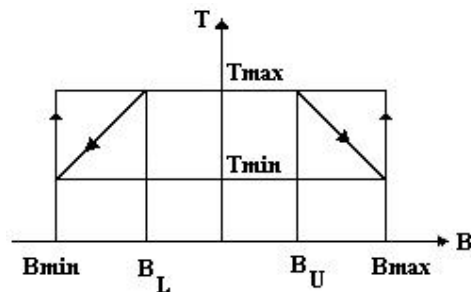
که در آن، I_{SVC} دامنه جریان جبران‌سازی SVC، E دامنه ولتاژ شین بی‌نهایت، V_2 دامنه ولتاژ طرف ثانویه و δ اختلاف فاز بین ولتاژ شین بی‌نهایت و ولتاژ طرف ثانویه شین می‌باشد. از رابطه ۹ می‌توان به یک نقطه کار پایدار برای I_{SVC} مطابق رابطه زیر رسید:

توابع عضویت و قواعد فازی می توانند با استفاده از تجربه شخص خبره ویا بکمک جداول و روش های مختلف تعیین شوند [۶،۷]. در مقاله [۲] از منطق فازی برای ایجاد هماهنگی بین SVC و بانک سلفی / خازنی استفاده شده و وظیفه سیستم فازی فقط تعیین تعداد بانکهای سلفی / خازنی مورد نیاز می باشد. در مقاله [۶] از مجموعه فازی برای کنترل پایداری سیستم با تغییر بهره SVC استفاده شده و هیچگونه عمل هماهنگی ترکیبی صورت نمی گیرد.

در این مقاله از مجموعه فازی براساس روابط (۱) تا (۵) برای تنظیم تپ ترانسفورماتور و هماهنگی آن با SVC، براساس موقعیت قبلی تپ و تاخیر زمانی استفاده می شود. قواعد فازی مطابق جدول ارائه شده در پیوست مقاله تعریف شده است. ساختار مجموعه فازی و توابع عضویت ورودی و خروجی بصورت شکل های ۵، ۶ و ۷ می باشد. در طراحی سیستم فازی بکار رفته در این مقاله از موتور استنتاج ممدانی-حدافل، فازی گر تکین و فازی زدای میانگین مرکز استفاده شده است. ساختار مجموعه فازی و توابع عضویت ورودی و خروجی (e) و خروجی (f) بصورت شکلهای (۴)، (۵) و (۶) می باشد که در آن:



شکل (۳) - سیستم پیشنهاد شده در مرجع ۱



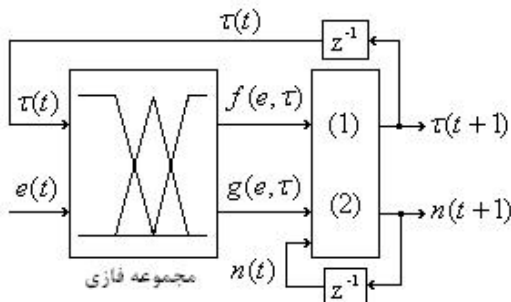
شکل (۴) - تاخیر زمانی ULTC بعنوان تابعی از سوسپتانس SVC

B_L و B_U نقاطی هستند که در آن تاخیر زمانی شروع به کاهش می کند. وقتی سوسپتانس SVC بعد از نقطه B_U در داخل ناحیه خازنی افزایش می یابد، تاخیر زمانی بطور خطی کاهش می یابد بطوریکه سوسپتانس نیز افزایش می یابد. وقتی که نسبت T_{max} به T_{min} افزایش می یابد شیب خط تندتر می شود و این یعنی که تاخیر زمانی سریعتر تنظیم می شود. نسبتهای خیلی بزرگ آن می تواند عملکرد زیاد و پی در پی تپ را نتیجه دهد. طراح باید این پارامترها را براساس مقایسه بین کیفیت سرویس و هزینه آن تنظیم کند.

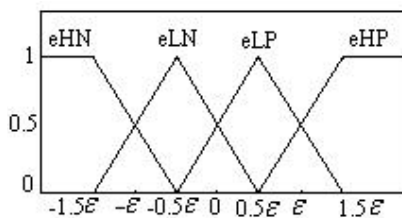
۴- کنترل هماهنگی بکمک منطق فازی

۴-۱- ساختار منطق فازی

امروزه از منطق فازی برای هدف های نامعین و مبهم استفاده می شود. در یک سیستم فازی برای هر متغیر یک تابع عضویت تعریف شده که هر عضوی با درجه ای و با مقادیر پیوسته از صفر تا یک ارزش گذاری می شود. درجه تابع عضویت میتواند اطلاعات نامشخص یا کیفی را به اطلاعات کمی تبدیل کند.



شکل ۵- سیستم با مجموعه فازی



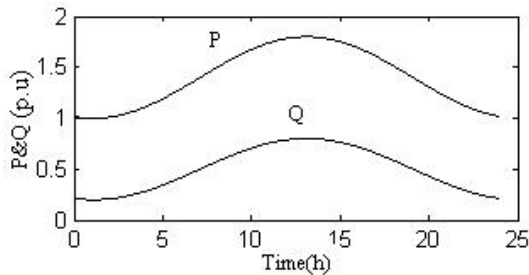
شکل ۶- تابع عضویت برای ورودی e و tau

e: eHN دارای مقدار منفی زیادی است

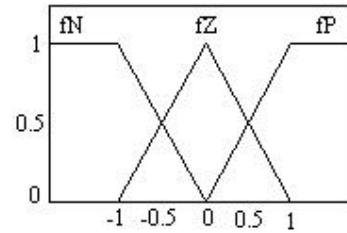
e: eLN دارای مقدار منفی کمی است

e: eLP دارای مقدار مثبت کمی است

e: eHP دارای مقدار مثبت زیادی است



شکل ۸ - منحنی P و Q بار روزانه

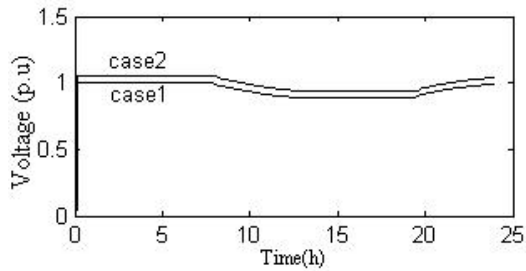


شکل ۹ - تابع عضویت برای خروجی f و g

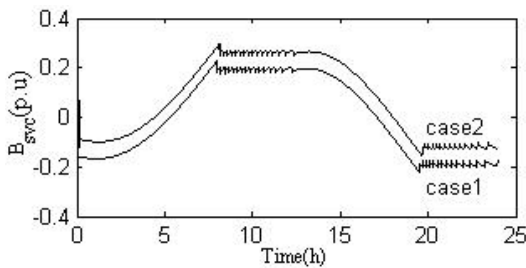
$f:N$: دارای مقدار منفی است

$f:Z$: دارای مقدار صفر است

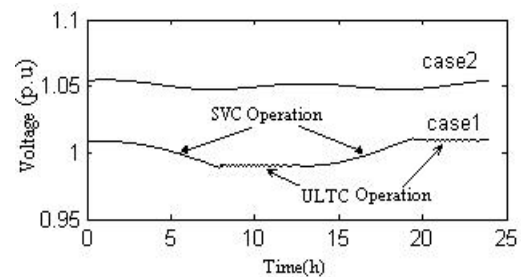
$f:P$: دارای مقدار مثبت است



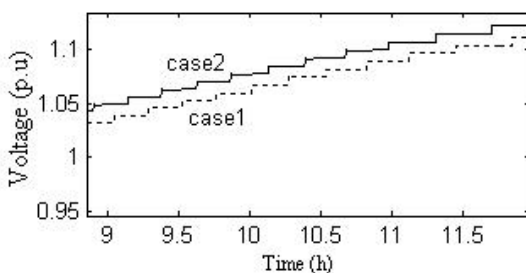
شکل ۹ - تغییرات تپ ULTC بر اساس تغییرات بار



شکل ۱۰ - تغییرات سوسپتانس SVC با تغییرات بار



شکل ۱۱ - ولتاژ باس کنترل شونده با ULTC



شکل ۱۲ - ولتاژ اولیه ترانس توزیع در دو روش مذکور

۲-۴ نتایج حاصل از شبیه سازی

به منظور بررسی صحت عملکرد سیستم پیشنهادی برای کنترل هماهنگی بین SVC و ULTC، شبیه سازیهای عددی با استفاده از مجموعه فازی و اطلاعات موجود در پیوست مقاله انجام گرفته است.

مقادیر P و Q بار در طول دوره روزانه مطابق شکل ۸ به سیستم اعمال شده است. در این صورت نتایج شبیه سازیها در دو روش مذکور، روش منطق فازی (نمودارهای Case 1) و روش ارائه شده در مرجع [۱] (نمودارهای Case 2)، به صورت شکل های ۹ تا ۱۲ میباشد. هدف از شبیه سازیها، کنترل ولتاژ در محدوده $1p.u$ و بهبود کیفیت آن می باشد.

در شکل ۹ تغییرات تپ ULTC در دو روش ذکر شده در این مقاله و با توجه به تغییرات بار متصل شده به شین فشار ضعیف نشان داده شده است. در شکل ۱۱ نیز تغییرات مقدار سوسپتانس SVC در دو روش نشان داده شده است. در شکل ۱۱ نحوه و زمان عملکرد SVC و ULTC بمنظور کنترل ولتاژ باس مجهز به SVC، نشان داده شده است.

همان طوری که از نتایج شبیه سازیها مشاهده می شود، مجموعه فازی کنترل دقیق تری روی ولتاژهای طرف اولیه و ثانویه ترانس توزیع انجام داده است. در واقع مطابق شکل ۱۱، مجموعه فازی توانسته است هماهنگی بهتری بین عملکرد SVC و ULTC به منظور بهبود پروفیل ولتاژ ایجاد کند. در اینجا وظیفه ULTC پاسخ به تغییرات بزرگ ولتاژ به منظور کنترل ولتاژ در بازه مجاز (حد مجاز حداکثر و حداقل ولتاژ) و وظیفه SVC تنظیم دقیق ولتاژ به مقدار $1p.u$ بوده و مجموعه فازی وظیفه هماهنگی بین عملکرد این دو تجهیز را بعهده دارد بطوری که میزان تغییرات تپ و میزان سوسپتانس SVC بوسیله مجموعه فازی تعیین می شود.

۵ - نتیجه گیری

همانطور که بیان شد، مشکل عمده جبران‌ساز ترکیبی SVC و ULTC، ایجاد هماهنگی بین عملکرد آنها می‌باشد. نتایج حاصل از شبیه سازی های انجام شده نشان می‌دهند که هم روش ارائه شده در مرجع [۱] و هم روش پیشنهادی بکمک مجموعه فازی، نسبت به روش معمولی دارای عملکرد بهتری می‌باشند و علاوه بر بهبود بازه کاری SVC، باعث بهبود پروفیل ولتاژ ویا افزایش کیفیت توان مصرف کننده نیز می‌گردند. همچنین روش مبنی بر مجموعه فازی، بعلت کارائی و توانایی مجموعه های فازی در حل مسائل غیر خطی، در میان سایر روشها از دقت و کارائی بالاتری برخوردار می باشد.

۶- مراجع

- [1] Kwang M. Son, Kyeong S. Moon, Song K. Lee Jong K. Park,; "Coordination of an SVC with a ULTC Reserving Compensation Margin for Emergency Control" IEEE Transaction on Power Delivery, Vol.15. No.4. Octobr 2000
- [2] Jong-Young Park, Kwang-Myoung Son; "Coordination of an SVC and External Reactor/Capacitor Banks Using Fuzzy Multi-objective Optimization" IEEE 2001
- [3] T.Yu, P.L.So; "Coordinated Control of TCSC and SVC for System Damping Improvement". IEEE 2000
- [4] S.K.TSO, J.LIANG, Q.Y.ZENG; "Coordination of TCSC and SVC for stability improvement of Power systems". Proceeding of the International Conference on Advances in Power System Control, APSCOM-97.Hong Kong ,November 1997
- [5] T.Yu, P.L.So "Coordination of TCSC and SVC for Inter-Area Stability Enhancement". IEEE 2000
- [6] Takashi Hiyama, Walid Hubbi, Thomas H.ortmeyer; "Fuzzy Logic Control Scheme With Variable Gain for Static Var Compensator to Enhance Power System Stability". IEEE Transaction on Power Delivery, Vol.14. No.1. February 1999
- [7] T.Hiyama, M.Mishiro; "Fuzzy Logic Switching of Thyristor Controlled Braking Resistor Cosidering Coordination with SVC". IEEE Transaction on Power Delivery, Vol.10. No.4. Octobr 1995

۷- پیوست

الف- اطلاعات سیستم استفاده شده برای انجام شبیه سازی ها:

$E = 1.1 pu$	$V_{ref} = 1 pu$
$X = 0.2$	$X_{SVC} = 0.05$
$\varepsilon = 0.01$	$d = 1/16$
$B_{min} = -0.5$	$B_{max} = 0.9$
$T_{min} = 20$	$T_{max} = 180$

ب- مجموعه قواعد فازی برای توابع f و g :

		e			
		HN	LN	LP	HP
τ	HN	$f = N$ $g = N$	$f = Z$ $g = Z$	$f = Z$ $g = Z$	$f = Z$ $g = Z$
	LN	$f = Z$ $g = N$	$f = Z$ $g = Z$	$f = Z$ $g = Z$	$f = Z$ $g = Z$
	LP	$f = Z$ $g = Z$	$f = Z$ $g = Z$	$f = Z$ $g = Z$	$f = Z$ $g = P$
	HP	$f = N$ $g = N$	$f = Z$ $g = Z$	$f = Z$ $g = Z$	$f = P$ $g = P$